

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平8-237258

(43)公開日 平成8年(1996)9月13日

(51)Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 L 12/28		9466-5K	H 0 4 L 11/20	D
	12/26		H 0 4 Q 3/00	
H 0 4 Q 3/00		9466-5K	H 0 4 L 11/12	
	11/04	9566-5G	H 0 4 Q 11/04	L

審査請求 有 請求項の数 7 O L (全 14 頁)

(21)出願番号 特願平7-38188

(22)出願日 平成7年(1995)2月27日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 佐藤 むつみ

東京都港区芝五丁目7番1号 日本電気株式会社内

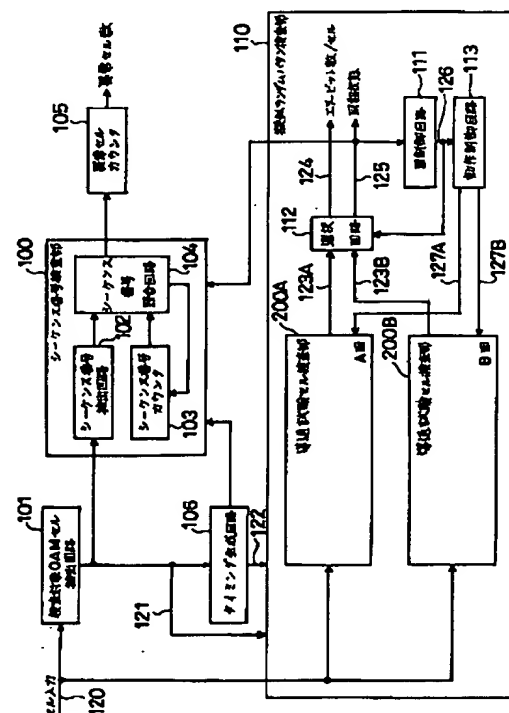
(74)代理人 弁理士 山川 政樹

## (54)【発明の名称】 A T M導通特性試験装置および方法

## (57)【要約】

【目的】 セルが高速かつ連続的に到着した場合でもV PおよびV Cの導通特性を正確に試験することができるA T M導通特性試験装置および方法を提供する。

【構成】 受信セル120に対して並列的に設けられた各導通試験セル検査部200A、200Bでは、受信セル120に対して一方では擬似ランダムパタンの同期時処理としてエラー検出動作が実施されるとともに、他方では同期外れ処理として擬似ランダムパタンの同期引き込み処理が実施される。面制御回路111は直前の検査対象セルの同期状態に基づいていずれかの面を選択し、これに応じて選択回路112は処理中セルの出力としていずれかの導通試験セル検査部200A、200Bの出力を選択し、動作制御回路113は次の試験対象セルに対する各導通試験セル検査部200A、200Bの動作指示を出力する。



## 1

## 【特許請求の範囲】

【請求項 1】 パーチャルパスまたはパーチャルチャネルを介して所定の試験用 OAMセルを受信し、その試験用 OAMセルに格納されている擬似ランダムパタンの正常性を検査することにより、前記パーチャルパスまたはパーチャルチャネルの導通特性を試験する ATM導通特性試験装置において、

受信セル入力に対して並列的に設けられ、検査の対象となる検査対象セルに格納されている擬似ランダムパタンの同期引き込み処理およびエラー検出処理を行うとともに、その処理結果として同期状態およびエラービット数を出力する導通試験セル検査手段と、

各導通試験セル検査部から出力される処理結果のうちいずれかを前記検査対象セルに対する検査結果として選択出力する第 1 の選択手段と、

各導通試験セル検査手段のうちいずれか一方に対し同期外れ時処理として同期引き込み処理を指示するとともに、他方に対し同期時処理としてエラー検出処理を指示し、現在処理中の検査対象セルの直前に処理された検査対象セルの同期状態が同期外れである場合には、現在処理中の検査対象セルの次の検査対象セルに対する各導通試験セル検査手段の処理を切り換え指示するとともに、現在処理中の検査対象セルの検査結果に対する第 1 の選択手段の選択状態を切り換え指示する制御手段とを備えることを特徴とする ATM導通特性試験装置。

【請求項 2】 パーチャルパスまたはパーチャルチャネルを介して所定の試験用 OAMセルを受信し、その試験用 OAMセルに格納されている擬似ランダムパタンの正常性を検査することにより、前記パーチャルパスまたはパーチャルチャネルの導通特性を試験する ATM導通特性試験装置において、

受信セル入力に対して並列的に設けられ、検査の対象となる検査対象セルに格納されている擬似ランダムパタンの同期引き込み処理およびエラー検出処理を異なる位相で行うとともに、その処理結果として同期状態およびエラービット数を出力する複数の擬似ランダムパターン処理手段と、

各擬似ランダムパターン処理手段のうちのいずれかを選択し、その処理結果を前記検査対象セルに対する処理結果として選択出力する第 2 の選択手段とを有し、前記処理結果を検査対象セルの正常性として出力する導通試験セル検査手段を備えることを特徴とする ATM導通特性試験装置。

【請求項 3】 請求項 1 記載の ATM導通特性試験装置において、

導通試験セル検査手段は、

受信セルに対して並列的に設けられ、検査対象セルに格納されている擬似ランダムパタンの同期引き込み処理およびエラー検出処理を異なる位相で行うとともに、その処理結果として同期状態およびエラービット数を出力す

## 2

る複数の擬似ランダムパターン処理手段と、

各擬似ランダムパターン処理手段のうちのいずれかを選択し、その処理結果を前記検査対象セルに対する処理結果として選択出力する第 2 の選択手段とを備えることを特徴とする ATM導通特性試験装置。

【請求項 4】 請求項 3 記載の ATM導通特性試験装置において、

第 2 の選択手段は、各擬似ランダムパターン処理手段から出力される同期状態を監視し、最も早く同期引き込み状態となったものを選択するようにしたことを特徴とする ATM導通特性試験装置。

【請求項 5】 請求項 3 または 4 記載の ATM導通特性試験装置において、

導通試験セル検査手段は、

第 2 の選択手段により選択された擬似ランダムパターン処理手段からのエラービット数を検査対象セルごとに集計出力するエラービット数集計手段を備えることを特徴とする ATM導通特性試験装置。

【請求項 6】 パーチャルパスまたはパーチャルチャネルを介して所定の試験用 OAMセルを受信し、その試験用 OAMセルに格納されている擬似ランダムパタンの正常性を検査することにより、前記パーチャルパスまたはパーチャルチャネルの導通特性を試験する ATM導通特性試験方法において、

受信セル入力に対して並列的に設けられ、検査の対象となる検査対象セルに格納されている擬似ランダムパタンの同期引き込み処理およびエラー検出処理を行うとともに、その処理結果として同期状態およびエラービット数を出力する導通試験セル検査手段と、

各導通試験セル検査部から出力される処理結果のうちいずれかを前記検査対象セルに対する検査結果として選択出力する第 1 の選択手段とを設けて、

各導通試験セル検査手段のうちいずれか一方に対し同期外れ時処理として同期引き込み処理を指示するとともに、他方に対し同期時処理としてエラー検出処理を指示し、現在処理中の検査対象セルの直前に処理された検査対象セルの同期状態が同期外れである場合には、現在処理中の検査対象セルの次の検査対象セルに対する各導通試験セル検査手段の処理を切り換え指示するとともに、現在処理中の検査対象セルの検査結果に対する第 1 の選択手段の選択状態を切り換え指示するようにしたことを備えることを特徴とする ATM導通特性試験方法。

【請求項 7】 パーチャルパスまたはパーチャルチャネルを介して所定の試験用 OAMセルを受信し、その試験用 OAMセルに格納されている擬似ランダムパタンの正常性を検査することにより、前記パーチャルパスまたはパーチャルチャネルの導通特性を試験する ATM導通特性試験方法において、

受信セル入力に対して並列的に設けられ、検査の対象となる検査対象セルに格納されている擬似ランダムパタン

## 3

の同期引き込み処理およびエラー検出処理を異なる位相で行うとともに、その処理結果として同期状態およびエラービット数を出力する複数の擬似ランダムパターン処理手段を設けて、

各擬似ランダムパターン処理手段のうちのいずれかを選択し、その処理結果を前記検査対象セルに対する処理結果として選択出力するようにしたことを特徴とする ATM 導通特性試験方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、ATM導通特性試験装置および方法に関し、特に擬似ランダムパターンを格納した導通特性試験用 OAMセルを用いて仮想的に設定されたバーチャルパスまたはバーチャルチャネルの導通特性を試験する ATM導通特性試験装置および方法に関するものである。

【0002】

【従来の技術】 一般に、ATMモード (Asynchronous Transfer Mode: 非同期転送モード) に基づいて ATMセル (以下、セルという) と呼ばれる固定長パケットにより通信を行う ATM通信システムでは、2点間に設定した仮想的なパス (以下、VP: Virtual Pathという) およびチャネル (以下、VC: Virtual Channel という) を介してデータ通信を行うものとなっている。従来、このような VP および VC の導通特性を試験する場合、試験用 OAM (Operation Administration Monitoring) セルを試験対象となる VP および VC を介して受信し、その正常性に基づいて導通特性を試験するものとなっていた (例えば、特開平 5-244196 号公報など)。

【0003】 図 6 は、従来の ATM導通特性試験装置を示すブロック図であり、同図において、600 は試験用 OAMセルに格納され送出順序を示すシーケンス番号を検査するシーケンス番号検査部、605 はシーケンス番号検査部 600 で検出された異常セルをカウントする異常セルカウンタ、610 は試験用 OAMセルに格納されている擬似ランダムパターン (Pseudo random pattern) を検査する擬似ランダムパターン検査部である。

【0004】 受信されたセルは、シーケンス番号検査部 600 の検査対象 OAMセル抽出回路 601 に入力され、そのセルのヘッダ情報に基づいて検査対象となる試験用 OAMセルのみが抽出される。ここで抽出された検査対象 OAMセルはシーケンス番号抽出回路 602 に入力されてシーケンス番号が抽出され、シーケンス番号照合回路 604 に入力される。シーケンス番号カウンタ 603 はシーケンス番号を逐次カウントすることにより次に受信すべきシーケンス番号を出力しており、シーケンス番号照合回路 604 では、受信した検査対象 OAMセルから抽出されたシーケンス番号と次に受信すべきシーケンス番号とが比較される。

【0005】 ここで両シーケンス番号が不一致となった

## 4

場合には、受信された OAMセルに異常が発生していると判断され、異常セルカウンタ 605 でカウントされる。一方、受信されたセルは、擬似ランダムパターン検査部 610 の擬似ランダムパターン検出回路 611 および比較回路 612 にも入力される。擬似ランダムパターン検出回路 611 では、シーケンス番号検査部 600 によりセル受信順序が正常であると判断された場合に受信セルから擬似ランダムパターンが検出される。

【0006】 擬似ランダムパターン同期保護回路 613 では、擬似ランダムパターンの同期外れ状態時には受信検出された擬似ランダムパターンと予め取り込んでおいて擬似ランダムパターンから生成されたパターンとの一致を所定ビット数にわたって確認することにより擬似ランダムパターンの同期が確認されその同期状態が出力される。また、擬似ランダムパターンの同期状態時には、その巡回特性に基づいて、直前に検出された擬似ランダムパターンから次に受信すべき擬似ランダムパターンが生成される。

【0007】 比較回路 612 では、同期状態時に受信セルから検出された擬似ランダムパターンと次に受信すべき擬似ランダムパターンとが比較される。比較の結果、両擬似ランダムパターンの各ビットが相違する場合には、そのビットをエラービットとしてエラービットカウンタ 614 によりカウントされてエラービット数として出力され、これら異常セル数およびエラービット数が導通特性試験の結果として出力されるものとなっていた。

【0008】

【発明が解決しようとする課題】 したがって、このような従来の ATM導通特性試験装置および方法では、受信セルに対して比較的ビット数の多い擬似ランダムパターンの検査を逐次行うものとなっているため、次のセルが入力されるまでに検査を終了しておく必要があり、高速の ATM通信ではセルのバースト性を予測して大規模容量のメモリを受信セルバッファとして設け、処理遅れを補う必要があった。また、受信セルが連続的に到着した場合には装置の処理速度が間に合わない可能性がある。このような場合には 1 セル内で処理結果が出力されず、次の受信セルに対する処理の選択、すなわち同期引き込み処理あるいは同期後の擬似ランダムパターン検査処理のいずれを実施させるかという選択が遅れ正常動作しないという問題点があった。

【0009】 さらに、同期引き込み時にも後続の擬似ランダムパターンが連続して到着するため、受信セルからの擬似ランダムパターン検出処理、擬似ランダムパターンの所定ビット比較による同期確認処理および 1 セル内での再引き込み処理が間に合わない可能性もあり、ATM通信の特徴である高速性、非同期に基づくセルのゆらぎ、またはバースト性などに対応することができないという問題点があった。本発明はこのような課題を解決するためのものであり、セルが高速かつ連続的に到着した場合でも、VP および VC の導通特性を正確に試験することが

## 5

できるATM導通特性試験装置および方法を提供することを目的としている。

## 【0010】

【課題を解決するための手段】このような目的を達成するために、本発明によるATM導通特性試験装置および方法は、受信セル入力に対して並列的に設けられ、検査の対象となる検査対象セルに格納されている擬似ランダムパタンの同期引き込み処理およびエラー検出処理を行うとともに、その処理結果として同期状態およびエラービット数を出力する導通試験セル検査手段と、各導通試験セル検査部から出力される処理結果のうちいずれかを前記検査対象セルに対する検査結果として選択出力する第1の選択手段と、各導通試験セル検査手段のうちいずれか一方に対し同期外れ時処理として同期引き込み処理を指示するとともに、他方に対し同期時処理としてエラー検出処理を指示し、現在処理中の検査対象セルの直前に処理された検査対象セルの同期状態が同期外れである場合には、現在処理中の検査対象セルの次の検査対象セルに対する各導通試験セル検査手段の処理を切り換え指示するとともに、現在処理中の検査対象セルの検査結果に対する第1の選択手段の選択状態を切り換え指示する制御手段とを備えるものである。

【0011】また、受信セル入力に対して並列的に設けられ、検査の対象となる検査対象セルに格納されている擬似ランダムパタンの同期引き込み処理およびエラー検出処理を異なる位相で行うとともに、その処理結果として同期状態およびエラービット数を出力する複数の擬似ランダムパターン処理手段と、各擬似ランダムパターン処理手段のうちいずれかを選択し、その処理結果を前記検査対象セルに対する処理結果として選択出力する第2の選択手段とを有し、前記処理結果を検査対象セルの正常性として出力する導通試験セル検査手段を備えるものである。

【0012】また、導通試験セル検査手段は、受信セルに対して並列的に設けられ、検査対象セルに格納されている擬似ランダムパタンの同期引き込み処理およびエラー検出処理を異なる位相で行うとともに、その処理結果として同期状態およびエラービット数を出力する複数の擬似ランダムパターン処理手段と、各擬似ランダムパターン処理手段のうちいずれかを選択し、その処理結果を前記検査対象セルに対する処理結果として選択出力する第2の選択手段とを備えるものである。さらに、第2の選択手段は、各擬似ランダムパターン処理手段から出力される同期状態を監視し、最も早く同期引き込み状態となったものを選択するようにしたものである。また、導通試験セル検査手段は、第2の選択手段により選択された擬似ランダムパターン処理手段からのエラービット数を検査対象セルごとに集計出力するエラービット数集計手段を備えるものである。

## 【0013】

## 6

【作用】したがって、各導通試験セル検査手段のうちいずれか一方に対して同期外れ時処理として同期引き込み処理が指示されるとともに、他方に対して同期時処理としてエラー検出処理が指示され、直前の検査対象セルの同期状態が同期外れである場合には、次の検査対象セルに対する各導通試験セル検査手段の処理が切り換え指示されるとともに、現在処理中の試験対象セルに対する第1の選択手段の選択状態が切り換え指示される。

【0014】また、受信セルに対して並列的に設けられ、複数の擬似ランダムパターン処理手段のうちいずれかが選択され、その処理結果が入力された検査対象セルに対する処理結果として選択出力される。さらに、各擬似ランダムパターン処理手段から出力される同期状態が監視され、最も早く同期引き込み状態となったものが選択される。さらにまた、第2の選択手段により選択された擬似ランダムパターン処理手段からのエラービット数が受信セルごとに集計され出力される。

## 【0015】

【実施例】次に、本発明について図面を参照して説明する。図1は本発明の一実施例であるATM導通特性試験装置のブロック図であり、同図において、101は受信されたセル120のヘッダ情報に基づいて検査対象となる試験用OAMセルを抽出する検査対象OAMセル抽出回路、100は試験用OAMセルに格納され送出順序を示すシーケンス番号を検査するシーケンス番号検査部、105はシーケンス番号検査部100で検出された異常セルをカウントする異常セルカウンタ、106は抽出された検査対象となる試験用OAMの受信タイミングに同期してタイミングクロック122などの各種タイミング信号を生成するタイミング生成回路である。

【0016】シーケンス番号検査部100において、102は試験用OAMセルからシーケンス番号を抽出するシーケンス番号抽出回路、103は直前に抽出されたシーケンス番号に基づいて次に受信されるべきシーケンス番号を生成するシーケンス番号カウンタ、104は試験用OAMセルから抽出されたシーケンス番号と次に受信されるべきシーケンス番号とを比較照合するシーケンス番号照合回路である。

【0017】110は試験用OAMセルに格納されている擬似ランダムパターンを検査する擬似ランダムパターン検査部であり、200A、200Bは受信セルに対して並列的に設けられ、検査対象OAMセル抽出回路101からの対象セル信号121が検査対象となる試験用OAMセルであることを示している場合、その受信セル120に格納されている擬似ランダムパターンを抽出し、擬似ランダムパタンの同期外れ状態時にはその同期引き込みを行うとともに、引き込み後に続く擬似ランダムパターンに対するエラービットの検査を行い、また同期状態時には擬似ランダムパタンのエラービットを検出する導通試験セル検査部である。

## 7

【0018】112は面制御信号126に基づいて導通試験セル検査部200A、200Bのいずれかの出力123A、123Bを選択し、エラービット数124および擬似ランダムパタンの同期状態信号125を出力する選択回路（第1の選択手段）、111は直前の検査対象セルの同期状態に応じて導通試験セル検査部200A、200Bのいずれかを選択する面制御信号126を出力する面制御回路（制御手段）、113は面制御信号126に基づいて導通試験セル検査部200A、200Bの動作を指示する動作制御信号127A、127Bを出力する動作制御回路（制御手段）である。

【0019】図2は導通試験セル検査部200A、200Bを示すブロック図であり、同図において、201～20Nは受信セル120に対して1～N面として並列的に設けられ、受信セル120に格納されている擬似ランダムパタンの同期引き込みおよびエラービット検出をそれぞれ異なる位相で行う擬似ランダムパターン処理部、211は擬似ランダムパタンの同期外れ状態時に各面からの引き込み検出信号231～23Nを監視して、最初に同期引き込みを完了したものを選択し同期引き込み検出信号241として出力する引き込み検出回路（第2の選択手段）、212は各面でカウントされた擬似ランダムパターンエラービット数のうち同期引き込み完了が検出されたものを選択する1/N選択回路（第2の選択手段）である。

【0020】213は1/N選択回路212から選択出力されたエラービット数を1セル分集計するエラービット数集計回路、214は引き込み検出回路211からの同期引き込み検出信号241および集計されたエラービット数に基づいて同期外れを検出する同期外れ検出回路、215是集計されたエラービット数および同期外れ検出出力を保持出力するラッチ回路である。また擬似ランダムパターン処理部201～20Nにおいて、221は受信されたセルに格納されている擬似ランダムパターンまたは内部で生成された擬似ランダムパタンのいずれかを選択出力する入力選択回路、222は選択された擬似ランダムパターンに基づいて次に受信されるべき擬似ランダムパターンを生成する擬似ランダムパターン生成回路である。

【0021】223は受信セルの擬似ランダムパターンと生成された擬似ランダムパターンとを比較する比較回路、224は擬似ランダムパターン同期外れ状態時に比較結果および所定の同期引き込み条件に基づいて同期引き込み状態を検出する引き込み保護回路、225はこの同期引き込み状態および動作制御信号127に基づいて入力選択回路221を制御する入力制御回路、226は同期引き込みが確認された場合、および同期状態が確認されている場合に比較結果のうち検査対象となるビットのみを加算指示する加算制御回路、227は加算指示に基づいて比較結果のうち所定のビットに対するエラーを加算す

## 8

るエラービット数加算回路である。

【0022】図3は一般的な試験用OAMセルの構成を示す説明図であり、301、302はVPおよびVCを識別するためのVP識別子（以下、VPIという）およびVC識別子（以下、VCIという）、303はVPI301やVCI302からなるヘッダ情報の誤りを検査するためのヘッダエラー情報（以下、HECという）、304は試験用OAMセルの種別を示すOAM種別、305は導通試験セルの送出順序を示すシーケンス番号、306はシーケンス番号305の誤りを検査するためのシーケンス番号保護情報、307は所定の生成多項式に基づいて生成された擬似ランダムパターンである。

【0023】ここで、擬似ランダムパターンを用いた一般的なセルの検査方法について説明する。擬似ランダムパターンとは、所定の生成多項式に基づいて生成され比較的長い周期を有するビット列（巡回符号）であり、その生成多項式に基づいて擬似ランダムパタンのうち連続する所定ビットから次に連続するビット列を生成することができるという性質を持っている。したがって、これら擬似ランダムパターンを分割して各セルに順番に格納して送信し、これを受信して擬似ランダムパタンの連続性を確認することにより、VPおよびVCの導通特性を試験することができる。

【0024】例えば、図3に示すように、擬似ランダムパターン307のうち所定位置から擬似ランダムパターン生成に必要な数ビット、ここでは15ビットを生成ビット311として取り込み、送信側と同じ生成多項式に基づいて生成ビット311から次に連続する擬似ランダムパターンを予測し、実際に受信した擬似ランダムパターンと比較する。このように生成ビット311の直後から所定数ビット、ここでは33ビットを引き込み検出ビット312として順次比較し、すべてのビットが一致した場合に送信側で生成される擬似ランダムパターンと受信側で生成される擬似ランダムパターンとが同期した、すなわち同期引き込み状態となったと判断され、以後の擬似ランダムパターンに対する比較の結果、不一致となった場合にはエラービットとしてカウント出力される。

【0025】引き込み検出ビット312のうち1ビットでも不一致が検出された場合には同期引き込み失敗と判断され、また同期引き込み状態において所定の割合以上でエラービットが検出された場合には同期外れと判断され、いずれの場合にも同期外れ状態となり、このような場合には繰り返し前述の同期引き込み処理が行われるものとなる。なお、前述の引き込み検出ビット312の位置およびビット数は同期引き込み条件と呼ばれ、エラービットの検出率は同期外れ条件または同期後方保護条件と呼ばれている。

【0026】次に、図4を参照して、本発明の動作として特に擬似ランダムパターン検査部110の動作について説明する。なお、シーケンス番号検査部100の構成お

10

20

30

40

50

よび動作は、前述のシーケンス番号検査部600（図6参照）とほぼ同様であり、ここでの説明は省略する。図4は、導通試験セル検査部200A、200Bの動作を示すタイミングチャートである。

【0027】なお、以下の説明において導通試験セル検査部200AをA面、導通試験セル検査部200BをB面と呼ぶ。また、同期外れ時処理において、所定の検査対象セルの擬似ランダムパターンについて同期引き込み条件が成立し、そのセルの後続する擬似ランダムパターンすべてについて検査が終了するまでを同期引き込み状態といい、そのセルの後続するすべての擬似ランダムパターンについて検査が終了した時点で同期していた場合、すなわち同期が確定した場合を同期状態という。

【0028】同図において、120は受信セル、121は受信セル120が検査対象セルであることを示す対象セル信号、128は対象セル信号121から生成され、1つ前に処理されたセルが検査対象セルであることを示す直前対象セル信号、200A、200BはA、B面の動作状態、123A、123BはA、B面における同期状態およびエラービット数を示す出力、122はタイミングクロック、125は選択回路112からの同期状態信号、126は面制御回路111からの面制御信号である。

【0029】初期状態として同期外れを設定する。この場合、同期状態信号125が同期外れ状態を示していることから、動作制御信号127A、127BによりA/B面のいずれか、例えばA面に同期外れ時処理が割り当てられている。ここで、受信セル#1が入力された場合、A面により同期外れ時処理として擬似ランダムパターンの同期引き込み処理が開始される。この場合A面による同期引き込み処理の結果すなわち同期引き込み条件および同期外れ条件の判定は、受信セル#1の受信終了と同時に出力されず、その処理速度に起因して遅延する。

【0030】受信セル#1に続いて受信セル#2が受信され、A面では受信セル#1での同期確立に備えて同期時処理としてエラー検出処理が開始される。またB面では受信セル#1の同期引き込み失敗に備えて同期外れ時処理として同期引き込み処理が開始されるものとなり、受信セル#2に対してそれぞれ並列的に実施される。続いて、受信セル#2の受信途中で、A面による受信セル#1に対する同期外れ時処理401が完了し、この処理結果が選択回路112に出力される。

【0031】出力123Aは、それが確定するタイミングすなわちタイミングクロック122に基づいて選択回路112にラッチされ、エラービット数124および同期状態信号125として出力される。ここで、同期状態信号125が同期状態を示している場合には、面制御回路111から同期引き込みが完了した面すなわちA面を選択する面制御信号126が出力され、選択回路112は、受信セル#2に対して並列的に実施されている処理

のうちA面からの出力123Aを選択するものとなる。

【0032】続いて、受信セル#3に対しても前述と同様に、面制御信号126に基づく動作制御回路113からの動作制御信号127A、127Bにより、A面では同期時処理、B面では同期外れ時処理が開始される。また、受信セル#3に対する処理中に受信セル#2に対する処理が終了し、選択回路112により選択されているA面からの出力123Aが選択回路112を介して出力される。なお、B面からの出力123Bが受信セル#2に対する同期確立を示しているがここでは無視される。

【0033】続いて、受信セル#4に対しても前述と同様に、それぞれ動作制御が実施される。ここで、受信セル#3の擬似ランダムパターンに誤りが生じ、同期外れ条件を満足した場合には、その結果出力がA面の出力123Aとして受信セル#4の処理中に出力されるものとなる。この出力123Aは、タイミングクロック122に基づいて、選択回路112によりラッチ出力され、この場合には同期状態信号125が同期外れを示すものとなる。

【0034】面制御回路111は、この同期状態信号125が同期外れを示していることから、現在選択されているA面で同期外れが発生したことを認識し、B面を選択する面制御信号126を出力する。これにより、動作制御回路113は、受信セル#5に対する処理として、動作制御信号127AによりA面に対して同期外れ時処理を指示するとともに、動作制御信号127BによりB面に対して同期時処理を指示する。また選択回路112は入力としてB面の出力123Bを選択する。

【0035】したがって、受信セル#4に対して同期外れ処理を行ったB面からの出力123Bが選択回路112により選択される。この場合には、同期引き込み完了を示す同期状態信号125が出力され、以降の処理として、B面で同期時処理が、またA面で同期外れ処理が、それぞれ並列して実施されるものとなる。なお、受信セル#5に続いて検査対象とはならない非対象セルが入力された場合、動作制御回路113は対象セル信号121に基づいてこれを認識し、動作制御信号127A、127Bにより各A、B面に対して動作停止指示を出力する。これによりA、B面は非対象セルの入力直前の状態を保持して動作を停止する。

【0036】さらに、非対象セルに続いて検査対象となる受信セル#6が入力された場合、動作制御回路113は動作制御信号127A、127Bにより、以前の指示と同様にA面に対して同期外れ処理を指示し、B面に対して同期時処理を指示する。これにより、各面では、受信セル#6に対する指示に応じて、保持していた処理内容に基づいて動作を再開する。

【0037】このように、受信セルに格納されている擬似ランダムパターンの同期引き込み処理および同期引き込み後のエラー検出処理を行う導通試験セル検査部を、受

信セルに対して並列的に設けて、一方では同期時処理を行わせ他方では同期外れ処理を行わせるとともに、直前の検査対象セルに対する処理結果に基づいて次の検査対象セルに対する各導通試験セル検査部への動作指示および処理中セルの結果に対する選択を行うようにしたものである。したがって、従来のように1つの導通試験セル検査部により、1つの受信セルに対する処理結果が出力された後、擬似ランダムパターンを正確に読み込むことが可能な受信セルに対して処理を行うようにした場合と比較して、より短時間で擬似ランダムパターンに対して同期引き込みを行うことができるとともに、より正確なエラー検出処理を実施することが可能となり、セルが高速かつ連続的に到着した場合でも、VPおよびVCの導通特性を正確に試験することが可能となる。

【0038】次に、図5を参照して、導通試験セル検査部200A、200Bの動作について説明する。図5は、導通試験セル検査部200A、200Bの動作を示すタイミングチャートであり、250は受信セルに格納されている擬似ランダムパターン、251~25Nは擬似ランダムパターン処理部201~20Nすなわち1~N面が同期引き込み処理を行う擬似ランダムパターンの領域、231、232は1、2面から出力される引き込み検出信号、241は引き込み検出回路211で最初に同期引き込みが検出された面の同期引き込み状態を示す同期引き込み検出信号、501は生成ビット、502は引き込み検出ビットである。

【0039】同期外れ処理を示す動作制御信号127A、127Bに応じて、引き込み検出回路211は選択状態を初期化していずれの面も選択していない状態とする。これにより1/N選択回路212も同様となる。また各面の入力制御回路225および引き込み保護回路224は自面に割り当てられている所定の位相すなわちビット位置から擬似ランダムパターンを読み込んで同期引き込み処理を開始するとともに、エラービット数加算回路227およびエラービット数集計回路213はカウント数をクリアする。

【0040】前述の図3に示すように、所定の同期引き込み条件が成立したか否かを検査するため、各1~N面は擬似ランダムパターン250から生成ビット501および引き込み検出ビット502を読み込む。この場合各1~N面では動作位相が異なっており、擬似ランダムパターン250から各位相に対応する位置のビットをそれぞれ取り込むものとなっている。ここでは、1面から擬似ランダムパターン250の先頭ビットから生成ビット501および引き込み検出ビット502を読み込んだ場合、2面はその直後のビット位置から生成ビットおよび引き込み検出ビットを読み込むものとなり、N面までそれぞれ連続した位相で読み込むものとなっている。

【0041】したがって、例えば1面では、入力選択回路221をセル入力側に制御して擬似ランダムパターン2

50の先頭ビットから生成ビット501を読み込む。読み込み終了後入力選択回路221を擬似ランダムパターン生成回路222側に制御し、この生成ビット501に基づいて擬似ランダムパターン生成回路222により次に受信すべき擬似ランダムパターン、すなわち参照用の引き込み検出ビットを順次生成する。比較回路223では、セル入力側から入力される引き込み検出ビット502と参照用の引き込み検出ビットとをそれぞれ比較する。

【0042】引き込み保護回路224は、この比較結果により同期引き込み条件が成立するか否かを判断し、成立した場合には引き込み検出信号231を出力する。なお、引き込み検出ビットの読み込み終了後、その同期引き込み完了を仮定してこれに続くビットを読み込んで前述と同様に各ビットを比較することによりエラー検出処理を継続して行うものとなっており、エラービット数加算回路227は、加算制御回路226の制御により引き込み検出ビット502の直後のビットから所定ビット数(1ワード)ごとにその比較が不一致となったビット数をカウント出力する。

【0043】一方、同期引き込み条件が成立しなかった場合には、入力選択回路221がセル入力側に切り換えられ、前述と同様に擬似ランダムパターン250の所定ビット位置から生成ビット501が読み込まれて、再び同期引き込み処理が開始されるとともに、加算制御回路226の制御によりエラービット数加算回路227のカウント数がクリアされる。このようにして、動作位相の異なる各面からの引き込み検出信号231~23Nは引き込み検出回路211に入力され、最初に同期引き込みが完了した面、例えば2面(202)の引き込み検出信号232が選択され同期引き込み検出信号241として出力される。

【0044】さらに、1/N選択回路212は、引き込み検出回路211の制御により、最初に同期引き込みが完了した面のエラービット数加算回路227の出力を現在の受信セルに対するエラービット数として選択出力し、このエラービット数が所定ビット数(1ワード)ごとにエラービット数集計回路213に入力され受信セルごとに集計され出力される。同期外れ検出回路214は、引き込み検出回路211からの同期引き込み信号241が同一セル内で同期引き込み失敗を示した場合あるいは集計されたエラービット数が所定値を越えた場合すなわち同期外れ条件を満たした場合、同期外れ発生と判断する。

【0045】これら同期外れ検出回路214の出力およびエラービット数集計回路213の出力は、受信セルの擬似ランダムパターンに対する検査判定処理が確定するタイミングで、ラッチ回路215によりラッチされ、導通試験セル検査部200A、200B、すなわちA、B面の出力123A、123Bとして出力される。なお、連続する試験用OAMセルに分割格納されている擬似ラン



ダムパタンは、それぞれビットの連続性を有するものとなっており、1セル分のビット比較動作が終了した場合には次のセルに格納されている擬似ランダムパタンのビット比較動作を行うため、擬似ランダムパタン生成回路222の出力が保持される。

【0046】このように、擬似ランダムパタンの同期引き込みおよびエラー検出を行う擬似ランダムパタン処理部201~20N(1~N面)を受信セルに対して並列的に複数設けてそれぞれ異なる位相で動作させるとともに、いずれかの擬似ランダムパタン処理部を選択しその出力を受信セルに対する同期状態およびエラー検出結果として出力するようにしたので、従来のように1つの擬似ランダムパタン処理部により同期引き込みを行うようにした場合と比較して、同期引き込みに失敗した場合に同期引き込み条件の判定に要する時間をさらに待つことなく、僅かな時間ずれた位相に基づいて同期引き込み条件の判定が並列的に実施され、同期引き込み失敗時に同一セル内での再引き込み処理が実施されるものとなり、比較的短い時間で同期引き込みを完了することが可能となる。

【0047】また、複数の擬似ランダムパタン処理部のうち最も早く同期引き込みを完了したものを引き込み選択回路211により選択するとともに、そこでカウントされたエラービット数を1/N選択回路212により同期引き込み状態の検出に先立って選択するようにしたので、より短い時間で同期引き込みを完了することが可能となる。さらに、1/N選択回路212により選択出力されたエラービット数をセル単位で集計するエラービット数集計回路213を設けて、各セルごとのエラービット数を出力するようにしたので、試験用OAMセルごとに導通特性を検査することが可能となり、より詳細に導通特性の確認を行うことが可能となる。

【0048】なお、擬似ランダムパタン処理部201~20N(1~N面)の数は、生成ビット501および引き込み検出ビット502の合計ビット数と、引き込み検出ビット502の読み込み終了から同期引き込み結果に基づいて入力選択回路221を制御できるようになるまでの所要時間 $t_d$ に依存する。また、以上の説明において、擬似ランダムパタンのうち連続するビット位相で各面を動作させるようにした場合について説明したが、これに限られるものではなく、例えば各位相の間隔として数ビット設けるようにしてもよく、また各位相が部分的に重複するようにしてもよく、それぞれ要求される試験精度に応じて任意に設定することが可能である。

【0049】

【発明の効果】以上説明したように、本発明は、検査対象セルに格納されている擬似ランダムパタンの同期引き込み処理およびエラー検出処理を行う導通試験セル検査手段を受信セルに対して並列的に設けるとともに、各導通試験セル検査部から出力される処理結果のうちいずれ

かを選択出力する第1の選択手段を設けて、各導通試験セル検査手段のうちいずれか一方に対して同期外れ時処理として同期引き込み処理を指示するとともに、他方に対して同期時処理としてエラー検出処理を指示し、直前の検査対象セルの同期状態が同期外れである場合には、次の検査対象セルに対する各導通試験セル検査手段の処理および処理中セルの処理結果に対する第1の選択手段の選択状態を切り換え指示するようにしたものである。

【0050】したがって、従来のように1つの導通試験セル検査部により、1つの受信セルに対する処理結果が出力された後、擬似ランダムパタンを正確に読み込むことが可能な受信セルに対して処理を行うようにした場合と比較して、より短時間で擬似ランダムパタンに対して同期引き込みを行うことができるとともに、より正確なエラー検出処理を実施することが可能となり、セルが高速かつ連続的に到着する場合でも、大容量のセルバッファを必要とすることなくVPおよびVCの導通特性を正確に試験することが可能となる。

【0051】また、導通試験セル検査手段として、異なる位相でセルに格納されている擬似ランダムパタンの同期引き込み処理およびエラー検出処理を行うとともに、その処理結果として同期状態およびエラービット数を出力する複数の擬似ランダムパタン処理手段を受信セルに対して並列的に設けて、各擬似ランダムパタン処理手段のうちのいずれかを選択し、その処理結果を受信セルに対する処理結果として選択出力するようにしたので、従来のように1つの擬似ランダムパタン処理手段により同期引き込みを行う場合と比較して、同期引き込みに失敗した場合に同期引き込み条件の判定に要する時間をさらに待つことなく、僅かな時間ずれた位相ごとに同期引き込み条件の判定が実施され、比較的短い時間で同期引き込みを完了することが可能となる。

【0052】また、各擬似ランダムパタン処理手段から出力される同期状態を監視し、最も早く同期引き込み状態となったものを選択するようにしたので、さらに短い時間で同期引き込みを完了することが可能となる。また、選択手段により選択された擬似ランダムパタン処理手段からのエラービット数を受信セルごとに集計出力するようにしたので、試験用OAMセルごとに導通特性を検査することが可能となり、より詳細に導通特性の確認を行うことが可能となる。

【図面の簡単な説明】

【図1】 本発明の一実施例によるATM導通試験装置のブロック図である。

【図2】 図1の導通試験セル検査部の構成を示すブロック図である。

【図3】 試験用OAMを示す説明図である。

【図4】 導通試験セル検査部の選択動作を示すタイミングチャートである。

【図5】 擬似ランダムパタン処理回路の動作を示すタ



イミングチャートである。

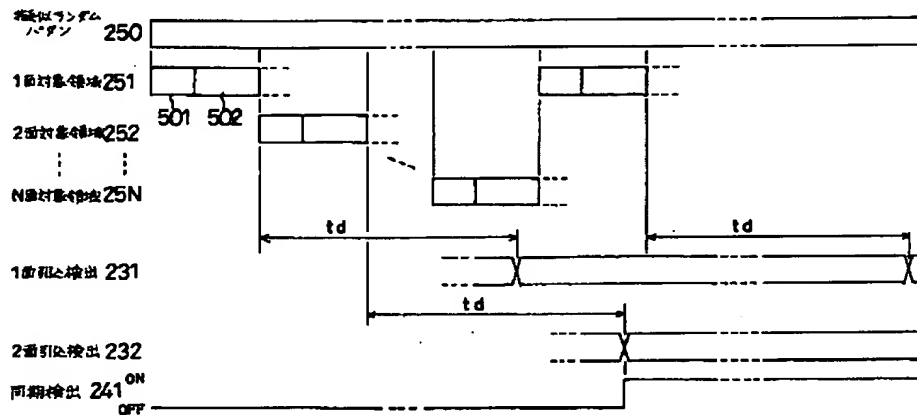
【図6】 従来のATM導通試験装置のブロック図である。

【符号の説明】

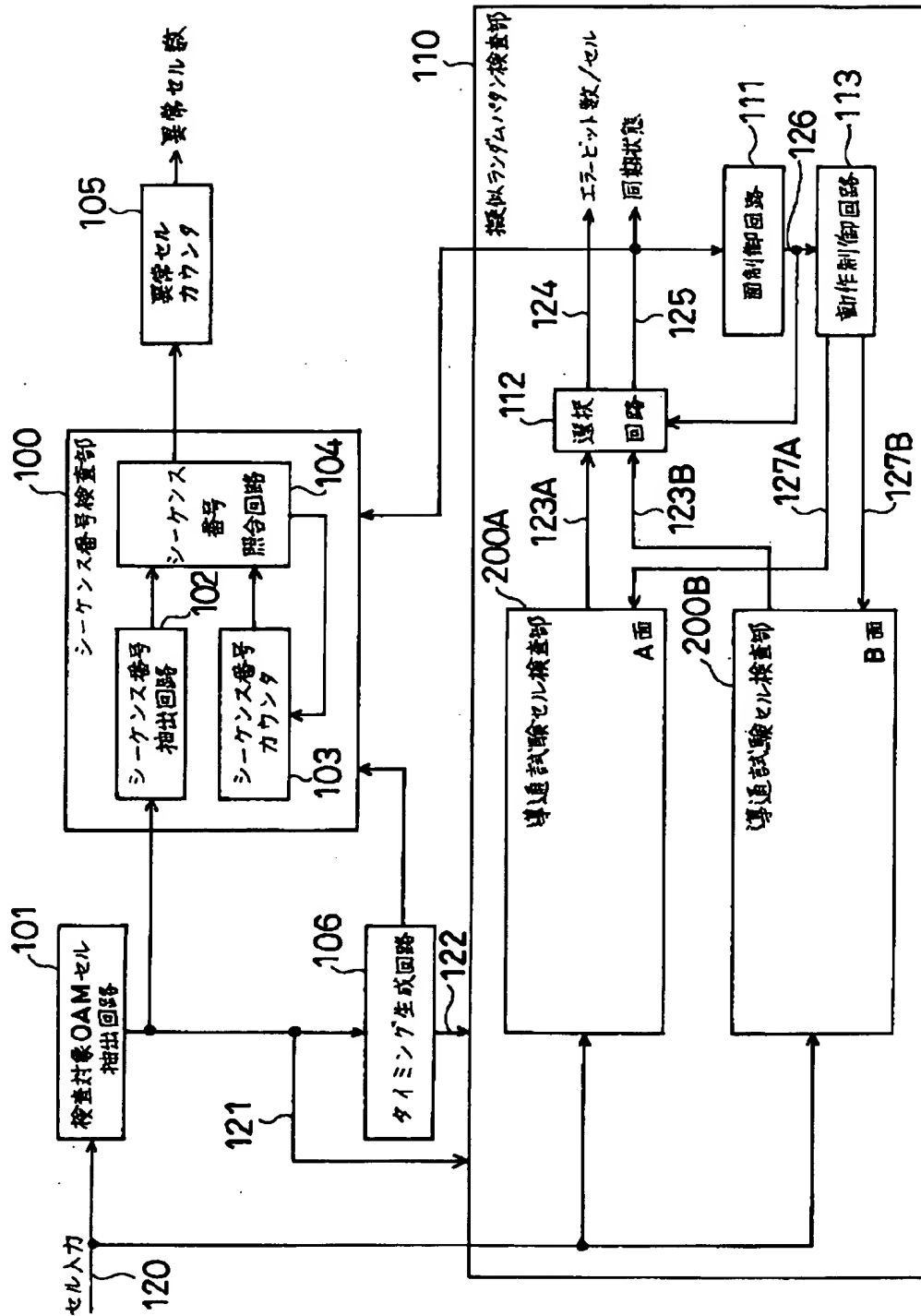
100…シーケンス番号検査部、101…検査対象OAMセル抽出回路、102…シーケンス番号抽出回路、103…シーケンス番号カウンタ、104…シーケンス番号照合回路、105…異常セルカウンタ、106…タイミング生成回路、110…擬似ランダムパターン検査部、111…面制御回路（制御手段）、112…選択回路

（第1の選択手段）、113…動作制御回路（制御手段）、200A、200B…導通試験セル検査部、201～20N…擬似ランダムパターン処理部、211…引き込み検出回路（第2の選択手段）、212…1/N選択回路（第2の選択手段）、213…エラービット数集計回路、214…同期外れ検出回路、215…ラッチ回路、221…入力選択回路、222…擬似ランダムパターン生成回路、223…比較回路、224…同期保護回路、225…入力制御回路、226…加算制御回路、227…エラービット数加算回路。

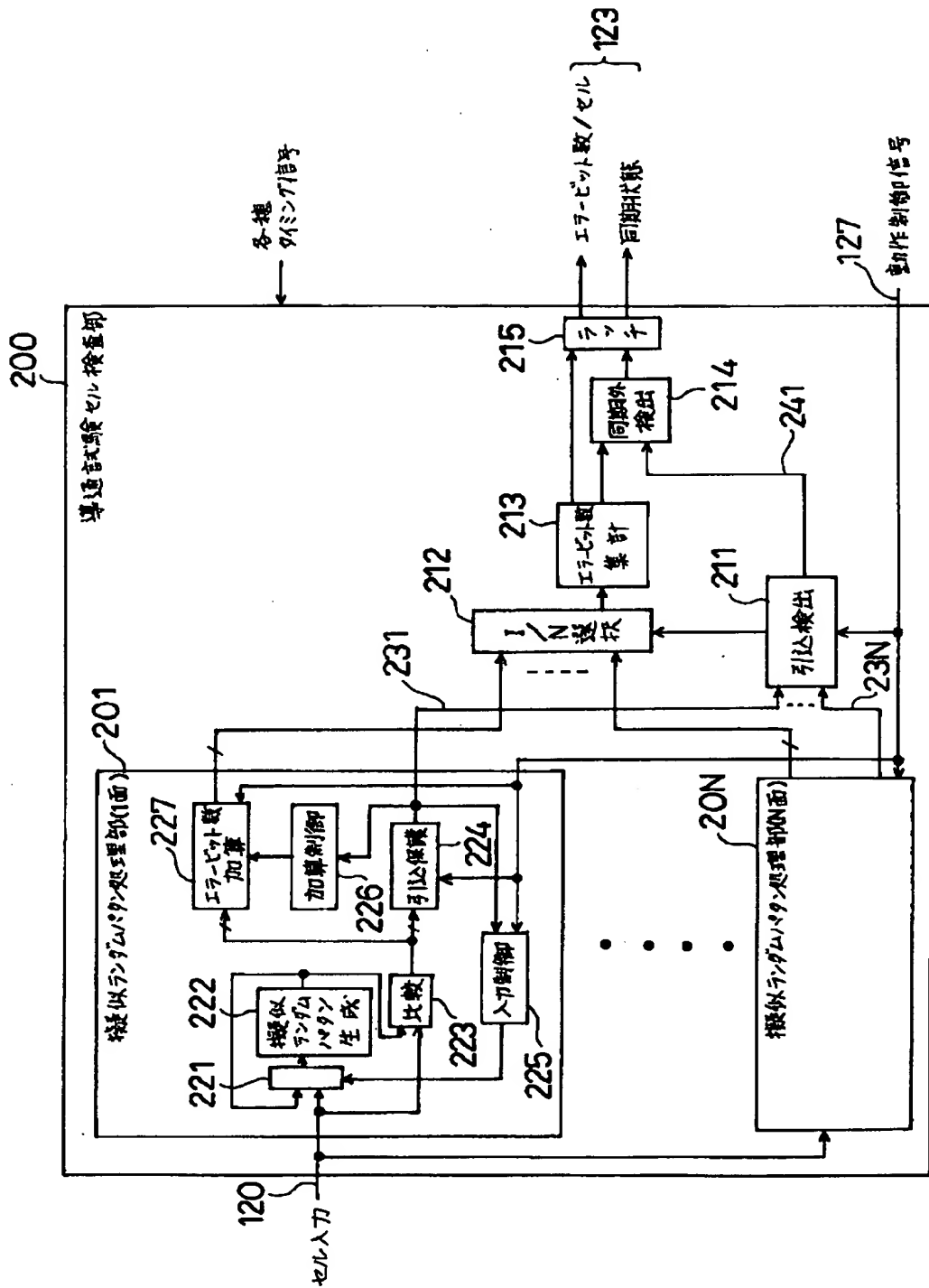
【図5】



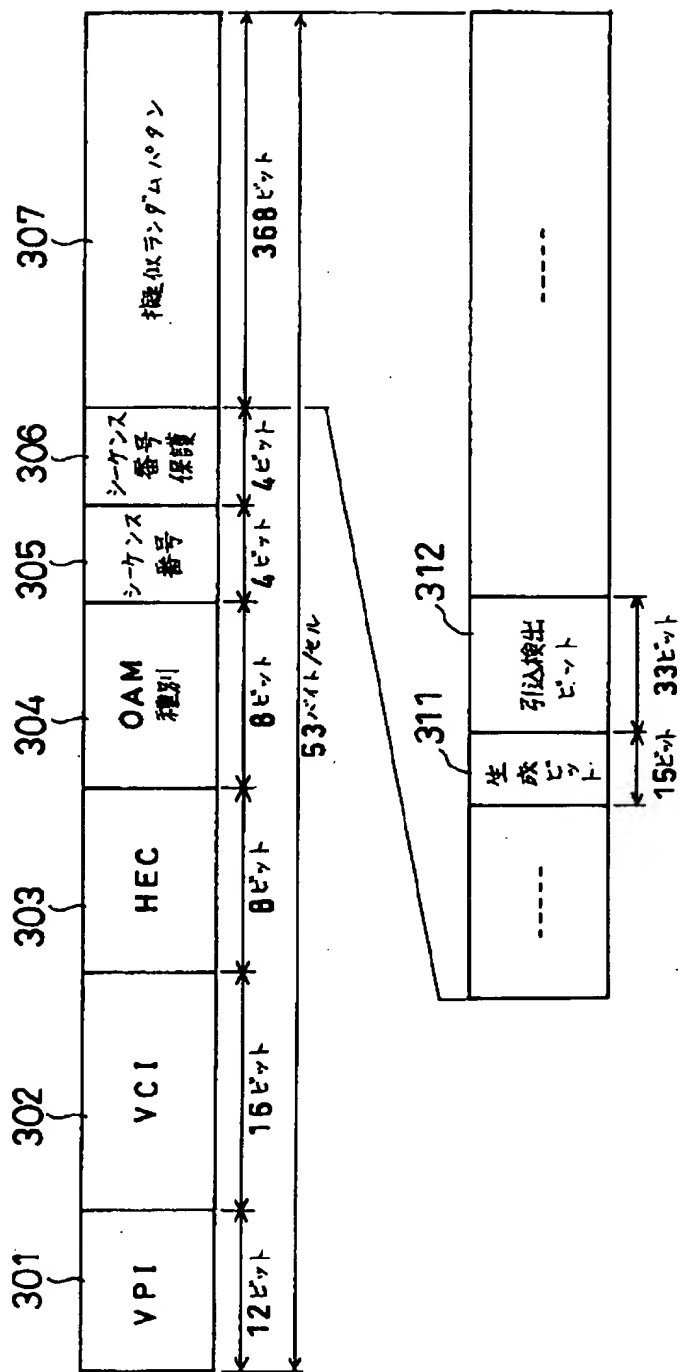
【図1】



【図2】



【図3】



Timing diagram for the 74VHC00A/74VHC00B dual inverter. The diagram shows the relationship between the input (A) and output (B) signals for both versions of the chip. The input signal A is shown as a square wave. The output signal B is shown as a square wave that is inverted relative to A. The diagram includes labels for the input (A) and output (B) signals, and a label for the clock signal (CLK). The timing diagram is divided into two sections: 74VHC00A and 74VHC00B. The 74VHC00A section shows the input signal A and the output signal B. The 74VHC00B section shows the input signal A and the output signal B.

【図6】

